

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 23 950.9

Anmeldetag: 29. Mai 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: MOS-Leistungstransistor

IPC: H 01 L 29/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Hoo

MÜLLER · HOFFMANN & PARTNER

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12142

Ko/Ant/sl

Anmelderzeichen: 2002 04695
2002 E 04543 DE und
2002 E 05441 AT

29. Mai 2002

Infineon Technologies AG
St.-Martin-Strasse 53
81669 München

MOS-Leistungstransistor

Beschreibung

MOS-Leistungstransistor

Die Erfindung befasst sich allgemein mit MOS-Leistungstransistoren und insbesondere mit einem PMOS-Leistungstransistor, der besonders zur Verwendung als High-Side-Schalter in der Fahrzeugelektronik geeignet ist und mit einem N-DMOS-Leistungstransistor, der besonders zur Verwendung als Low-Side-Schalter in der Fahrzeugelektronik geeignet ist.

In der Fahrzeugelektronik ist es erforderlich, periphere High-Side-TreiberAusgangsleitungen elektronischer Steuereinheiten (ECUs) gegenüber äußeren Störungen zu schützen. Eine Art dieses Schutzes besteht darin, den High-Side-Schalter vor hohen Rückströmen zu schützen, die von einem Ausgangsknoten einer Leitung zu einem Versorgungsspannungsknoten fließen können. Diese (unerwünschte) Betriebsart kann auftreten, wenn die Ausgangstreiberleitung zu einer positiven Spannungsquelle (z.B. 40 V) hin kurzgeschlossen wird und gleichzeitig keine Speisung am High-Side-Treiber liegt. Eine derartige Situation ist in der beiliegenden Fig. 9 schematisch dargestellt. Fig. 9 zeigt in vereinfachter Darstellung eine Versorgungsspannungsquelle 100, zum Beispiel eine Batterie, und einen Gleichrichterabschnitt, der aus einem Gleichrichterelement 101 und einem Speicherkondensator 102 besteht und eine High-Side-Schalt- oder -Regeleinrichtung 103 speist. Bei normalen Betriebsbedingungen wird die High-Side-Schalt- oder -Regeleinrichtung 103 von der positiven Spannungsquelle 100 versorgt, die parallel zum Speicherkondensator 102 liegt. Kommt es nun auf der Ausgangstreiberleitung des High-Side-Transistors zu einem Kurzschluss zur Versorgungsspannung der Spannungsquelle 100, so fließt ein Rückstrom $I_{\text{Rück}}$ durch eine Last 104, die High-Side-Schalt- oder -Regeleinrichtung 103 und den Speicherkondensator 102 zur Erde hin ab. Dies ist der Fall, wenn zum Beispiel eine elektronische Steuereinheit

(ECU) in einer typischen Anwendung im Fahrzeug nicht mit Spannung versorgt wird (Schalter s in Fig. 9 ist geöffnet). Unter FMEA-Betrachtung kann sich ein Kurzschluss zur positiven Versorgungsspannung (zum Beispiel zur Batteriespannung oder einer externen Spannungsquelle mit hoher Spannung) einstellen.

Derzeit erhältliche High-Side-Schalter für eine derartige High-Side-Schalt- oder -Regeleinrichtung 103 können dieses Problem nicht lösen: Heutige High-Side-Schalter sind in Junction- oder "Self Isolation"-Technologie in diskreten oder integrierten Schalteinrichtungen realisiert. Mehrere Schaltertypen stehen zur Verfügung, von denen die meisten die erwähnten Nachteile bei der oben beschriebenen Anwendung im Fahrzeug haben. Im schlimmsten Fall kann ein Rückstrom von der Ausgangsleitung über die High-Side-Schalt- oder -Regeleinrichtung zu einem entladenen Speicherkondensator fließen und die Last (ECU) aktivieren.

Typische, heutzutage zur Verfügung stehende High-Side-Schalter haben folgende nachteilige Eigenschaften:

- N-DMOS-Schalter lassen einen Rückstrom durch eine parasitäre Diode vom Bulknoten zur Drainelektrodenzone fließen;
- ähnliches gilt für PMOS-Leistungsschalter, bei denen eine parasitäre Diode von der Drainelektrodenzone zum Bulknoten einen Rückstrom unter den geschilderten Bedingungen gestattet;
- als High-Side-Schalter eingesetzte NPN-Transistoren haben den Nachteil, dass die Emitter-Basis-Diode lediglich einer Sperrspannung unter 10 V standhält. Diese Spannung ist sehr niedrig, um der oben beschriebenen Anforderung der Sperrung des Rückstroms zu genügen. Zusätzlich hat ein NPN-Leistungstransistor eine hohe Verlustleistung, da sein Basisstrom ($I_b = I_c/\beta$) von einer Treiberstufe zugeführt werden muss.

Ein als High-Side-Schalter eingesetzter PNP-Transistor kann die gestellten Anforderungen erfüllen und damit den Rückstrom blockieren. Man muss jedoch in Betracht ziehen, dass die Treiberleistung von PNP Transistoren in gemischten Bipolar-CMOS-Technologien sehr schwach ist und dass ein hoher Basisstrom von einer Treiberstufe erzeugt werden muss. Deshalb gibt es nur wenige praktische Anwendungen von PNP-Transistoren in derartigen High-Side-Stufen.

Die beiliegende Fig. 10 zeigt eine in bislang realisierten Fahrzeug-High-Side-Schalt- oder -Regeleinrichtungen übliche Präventivmaßnahme zur Blockierung des Rückstroms $I_{\text{rück}}$ mit einer in Reihe zur Versorgungsspannungsquelle 100 eingeschalteten Schottky-Diode 105. Die erwähnte Maßnahme mit der Schottky-Diode 105 ist für N-MOS-, P-MOS- und NPN-Transistoren in der High-Side-Schalt- oder -Regeleinrichtung 103 verwendbar. Der Nachteil dieser Lösung liegt aber darin, dass an der Schottky-Diode 105 eine Spannung von beispielsweise 0,6 V abfällt.

Weiterhin kann in den Versorgungsspannungskreis der High-Side-Schalt- oder -Regeleinrichtung 103 eine Sperrdiode integriert sein, die auch den Rückstrom $I_{\text{rück}}$ für NMOS, PMOS und NPN-High-Side-Schalter blockiert. Der Nachteil ist der hohe Widerstand in Durchlassrichtung für den High-Side-Schalter und ein parasitärer PNP-Substratstrom.

Weiterhin sind N-DMOS-Transistoren in Reihenschaltung zur Drainelektrode eines NMOS-Schalttransistors in Form einer sogenannten "Back-to-Back"-Lösung vorgeschlagen worden. Der zusätzliche N-DMOS-Transistor wirkt als Sperrdiode gegen Rückstrom und verringert den Spannungsabfall im normalen Einschaltbetrieb. Der Nachteil ist, dass der Flächenbedarf dieser "Back-to-Back"-Lösung viermal so groß ist wie der Flächenbedarf eines einzelnen N-DMOS-Low-Side-Treibers, da der

Einschaltwiderstand umgekehrt proportional zu der von dem N-DMOS-Transistor belegten Fläche ist.

Aus diesem Grunde ist ein High-Side-Schalttransistor gewünscht, der platzsparend integriert werden kann und der den im Fehlerfall, das heißt im Kurzschlussfall auftretenden Rückstrom blockieren kann.

Bei Low-Side-Schaltelementen LS für die Fahrzeugelektronik gibt es ähnliche Probleme, wie sie zuvor erwähnt wurden (siehe Fig. 11). Diese Low-Side-Schaltelemente LS werden, um den weiten Anwendungsbereich auszufüllen, in integrierter Siliziumtechnologie hoher Komplexität realisiert. Unter diesen Low-Side-Schaltern finden sich CMOS-Transistorschalter, Bipolartransistoren und Leistungs-DMOS-Transistoren. Die DMOS-Transistoren haben in dem beispielhaft erwähnten Anwendungsfall den Vorteil, dass sie im durchgeschalteten Zustand einen niedrigen Widerstand haben. Gewöhnlich wird die integrierte Siliziumtechnologie auf der Basis der Junction-Isolationstechnologie mit einem p-leitenden Substrat realisiert. Derartige DMOS-Transistoren enthalten jedoch, wie schon erwähnt, parasitäre Elemente.

In den Fig. 7 und 8 ist ein solcher herkömmlicher DMOS-Leistungsfeldeffekttransistor jeweils in schematischem Querschnitt und als Ersatzschaltbild zusammen mit bei dem herkömmlichen DMOS-Feldeffekttransistor vorhandenen parasitären Elementen dargestellt. Diese sind:

- ein parasitärer NPN-Substrattransistor zwischen der als Teil der Drainelektrodenzone dienenden vergrabenen n^+ -Lage, dem p-Substrat und einer benachbarten n-EPI-Wanne;
- ein parasitärer PNP-Substrattransistor (Substrat-PNP1), der zwischen der die Source/Bulkelektrode S/B isolierenden p-Wanne, der n-EPI-Schicht und dem Topabschnitt des Substrats liegt;

- ein Substrat-PNP-Transistor (Substrat-PNP2) zwischen der die Source/Bulk-Elektrode S/B isolierenden p-Wanne, dem Topabschnitt der Drainelektrode und dem Topabschnitt des p-Substrats;
- eine parallel zum DMOS-Leistungstransistor liegende Bodydiode zwischen der p-Wanne und der n-EPI-Schicht; und
- eine Substratdiode zwischen dem p-Substrat und der vergrabenen n^+ -Lage der Drainelektrode.

In Fig. 7 ist noch ein weiterer parasitärer PNP-Transistor (Substrat PNP3) zwischen der die S/B-Elektrode isolierenden p-Wanne, der n^+ -leitenden Buriedlayer-Schicht und dem p-Substrat enthalten.

Wenn an einem derartigen DMOS-Leistungstransistor (im Fehlerfall) eine negative Drain-Source-Spannung (z.B. -1 V) anliegt, stellen sich zwei Haupteffekte ein (siehe auch Fig. 11):

- (A) Die Bodydiode wird in Durchlassrichtung vorgespannt, und ein hoher Strom fließt von der Sourceelektrode zur peripheren Leitung (Drainelektrode) und auch durch das p-Substrat durch die parasitären Substrat-PNP-Transistoren.
- (B) Die Substratdiode wird in Vorwärtsrichtung vorgespannt, und es fließt ein hoher Strom vom p-Substrat zur peripheren Leitung (Drainelektrode) und auch durch den parasitären Substrat-NPN-Transistor von Schaltungselementen in einer benachbarten n-EPI-Wanne. Die Aktivierung des parasitären Substrat-NPN-Transistors kann zu Funktionsstörungen oder zum Ausfall von gemeinsam mit dem DMOS-Transistor integrierten Schaltungsteilen führen.

Man hat bislang zur Vermeidung der oben beschriebenen Probleme A und B folgende Maßnahmen ergriffen (Fig. 11):

- Eine externe Schottky-Diode 11a wurde parallel zur Sourceelektrode und Drainelektrode geschaltet, die den Strom durch die integrierte Silizium-DMOS-Transistorstruktur begrenzt

- hat. Dies führte jedoch dazu, dass durch die Schottky-Diode ein hoher peripherer Rückstrom fließt.
- Eine Sperrdiode 11b wurde in Reihe zur Drainelektrode gelegt. Der Nachteil ist der hohe Durchlasswiderstand.
 - Eine Sperrdiode 11c wurde in Reihe zur Drainelektrode integriert. Auch hier ist der Durchlasswiderstand hoch und außerdem stellt sich ein parasitärer PNP-Substratstrom ein.
 - Ein zusätzlicher DMOS-Transistor 11d wurde in Reihe zur Drainelektrode in Form einer sogenannten "Back-to-Back"-Struktur integriert. Dieser zusätzliche DMOS-Transistor wirkt als Sperrdiode im Fall einer negativen peripheren Spannung und vermindert den Spannungsabfall beim normalen Einschalten des DMOS-Transistors. Diese Lösung wurde oben bereits in Verbindung mit dem High-Side-DMOS-Schalter erwähnt. Der dort erwähnte Nachteil des erhöhten Flächenbedarfs im Vergleich mit einer Einzel-DMOS-Transistorlösung gilt auch hier.

Nach dem oben Gesagten ist auch ein DMOS-Leistungstransistor für Low-Side-Anwendungen wünschenswert, der durch Eliminierung der parasitären Elemente: "Bodydiode" und "Substratdiode" die im Falle einer negativ gepolten Ausgangsspannung fließenden parasitären Treiberströme vermeiden kann.

Die Erfindung hat sich somit die Aufgabe gestellt, einen integrierten MOS-Leistungstransistor zu ermöglichen, der einen hohen Rückstrom im Falle der Polaritätsumkehr an seinem Ausgang verursachende parasitäre Elemente vermeiden und dadurch den bislang im Stand der Technik in einem solchen Fehlbetrieb fließenden unerwünschten Rückstrom wirksam blockieren kann. Ferner soll ein derartiger MOS-Leistungstransistor flächensparend integrierbar sein.

Die obige Aufgabe wird anspruchsgemäß gelöst. Gemäß einem wesentlichen Aspekt ist ein integrierter MOS-Leistungstransistor, bei dem in einem n-leitenden Halbleitergebiet, wel-

ches in einem p-leitenden Substratbereich angeordnet ist, wenigstens eine Sourceelektrodenzone eines ersten Leitungstyps, wenigstens eine Drainelektrodenzone des ersten Leitungstyps, wenigstens eine Gateelektrodenzone eines zweiten Leitungstyps und wenigstens ein hoch dotierter Bulkknoden des zweiten Leitungstyps in lateraler Richtung so gebildet sind, dass jede Gateelektrodenzone zwischen je einer Sourceelektrodenzone und einer benachbarten Drainelektrodenzone bzw. einem benachbarten Bulkknoden liegt, dadurch gekennzeichnet, dass jeder Bulkknoden getrennt von dem oder den Sourceelektrodenzone(n) angeordnet ist.

Der erfindungswesentliche Unterschied zu der herkömmlichen Lösung, sei es ein High-Side-PMOS-Transistor oder ein Low-Side-N-DMOS-Transistor, ist somit die Trennung des Bulkknodens oder der Bulkelektrode von der Sourceelektrode. Mit diesem erfindungswesentlichen Schritt wird die in den herkömmlichen PMOS-Leistungstransistoren vorhandene parasitäre Diode von der Drainelektrode zum Bulkknoden und bei einem N-DMOS-Leistungstransistor die parasitäre Diode vom Bulkknoden zur Drainelektrode (die Bodydiode) vermieden und dadurch jeglicher Rückstrom unterbunden.

Die erfindungsgemäß vorgeschlagene MOS-Leistungstransistorlösung wird für High-Side-Anwendungen in Form eines PMOS-Leistungstransistors und für Low-Side-Anwendungen als N-DMOS-Leistungstransistor ausgeführt.

Ein PMOS-Leistungstransistor ist bevorzugt als lateraler Hochspannungstransistor mit integriertem Source-Bulk-Schalter realisiert, der eine hohe Durchbruchsfestigkeit gegen Spannungen umgekehrter Polarität hat. Schließlich wird in vorteilhafter Ausführungsform der Source-Bulk-Schalter zusammen mit dem PMOS-Leistungstransistor integriert, und man erreicht dadurch eine platzsparende Lösung.

Platzsparend lässt sich auch der für die Low-Side-Anwendung konzipierte N-DMOS-Leistungstransistor realisieren, da der zusätzliche Niederspannungs-NMOS-Transistor mit dem N-DMOS-Leistungstransistor integriert werden kann. Auch die Sourcekontakte und Bulkkontakte des vorgeschlagenen N-DMOS-Leistungstransistors lassen sich platzsparend realisieren.

Zum besseren Verständnis werden die oben beschriebenen und weitere vorteilhafte Merkmale der Erfindung in Ausführungsbeispielen anhand der Zeichnung näher beschrieben.

Die Figuren der Zeichnung zeigen im Einzelnen:

- Fig. 1 einen Querschnitt durch ein Ausführungsbeispiel eines erfindungsgemäßen lateralen PMOS-Transistors zusammen mit parasitären Elementen;
- Fig. 2 den in Fig. 1 im Querschnitt gezeigte PMOS-Leistungstransistor im Ersatzschaltbild zusammen mit parasitären Elementen;
- Fig. 3 im Querschnitt ein erstes Ausführungsbeispiel eines erfindungsgemäßen lateralen N-DMOS-Transistors mit parasitären Elementen und einem extern, d.h. außerhalb der N-DMOS-Transistorstruktur realisierten zusätzlichen Widerstand R;
- Fig. 4 den in Fig. 3 gezeigten N-DMOS-Transistor im Ersatzschaltbild zusammen mit parasitären Elementen;
- Fig. 5 einen Querschnitt durch ein alternatives Ausführungsbeispiel eines erfindungsgemäßen lateralen N-DMOS-Transistors mit einem außerhalb der N-DMOS-Transistorstruktur jedoch zusammen mit die-

ser integrierten zusätzlichen NMOS-Niederspannungstransistor und mit parasitären Elementen;

Fig. 6 die in Fig. 5 gezeigte alternative Ausführungsform des N-DMOS-Transistors als Ersatzschaltbild mit den parasitären Elementen;

Fig. 7 eine Querschnittsdarstellung der bereits besprochenen, dem Stand der Technik zugeordneten DMOS-Leistungstransistorstruktur mit parasitären Elementen;

Fig. 8 den in Fig. 7 gezeigten DMOS-Leistungstransistor als Ersatzschaltbild mit den parasitären Elementen;

Fig. 9 das bereits besprochene Blockschaltbild einer High-Side-Schalt- oder -Regelvorrichtung, bei der im Fehlerfall ein hoher Rückstroms auftritt;

Fig. 10 das Blockschaltbild von Fig. 9 mit dem im Stand der Technik vorgeschlagenen Einsatz einer Sperrdiode, die den Rückstrom durch die High-Side-Schalt- oder -Regelvorrichtung im Fehlerfall sperrt; und

Fig. 11 die bereits beschriebenen im Stand der Technik getroffenen Maßnahmen zur Vermeidung einer negativen Drain-Source-Spannung an einem DMOS-Leistungstransistor.

Anhand der Fig. 1 und 2 wird zunächst ein erstes allgemein mit der Ziffer 1 bezeichnetes erfindungsgemäßes Ausführungsbeispiel eines für High-Side-Anwendungen geeigneten lateralen MOS-Leistungstransistors beschrieben. Der Querschnitt in Fig. 1 zeigt, dass der erfindungsgemäße PMOS-

Leistungstransistor 1 innerhalb einer n^- -Wanne in einem p-Substrat 10 (P-Sub) integriert ist. Die schraffiert dargestellte n^- -Wanne besteht aus einer vergrabenen n^+ -Schicht 12 und tiefen n^+ -Sinkern 13, die die laterale PMOS-Struktur peripher einschließen. Die PMOS-Transistorstruktur M1 liegt in einer n^- -Epi-Schicht (punktiert dargestellt), die über der vergrabenen n^+ -Schicht 12 gebildet ist.

Der Hauptunterschied der erfindungsgemäßen lateralen PMOS-Leistungstransistorstruktur gegenüber herkömmlichen PMOS-Leistungstransistoren ist die Trennung des Bulkknötens B, der im oberen Abschnitt der tiefen Sinker 13 ausgebildet ist von den Sourceelektrodenzonen S. Diese Maßnahme beseitigt die im Stand der Technik vorhandene parasitäre Diode von der Drainelektrodenzone zum Bulkknöten. Zur Steigerung der Leistung des erfindungsgemäßen lateralen PMOS-Transistors sind in üblicher Weise mehrere Sourceelektrodenzonen S, Drainelektrodenzonen D und Gatezonen G in lateraler Richtung ausgebildet, so dass in Wirklichkeit mehrere parallel liegende PMOS-Transistoren M1 entstehen. Die p-leitenden Drain- und Sourceelektrodenzonen D und S liegen jeweils in p^- -Wannen innerhalb der N-EPI-Schicht 11. Der andere wesentliche Unterschied des in den Fig. 1 und 2 dargestellten erfindungsgemäßen PMOS-Leistungstransistors ist eine Erhöhung der Durchbruchspannung zwischen Bulkknöten und Sourceelektrodenzone, da ein Betrieb mit umgekehrter Spannungspolarität die Ausgangsspannung am Bulkknöten B zum Bulk des Transistors überträgt. Deshalb wird erfindungsgemäß die Durchbruchspannung zwischen Bulkknöten und Sourceelektrodenzone durch einen tiefen gestaffelten P/N-Übergang und die richtige Wahl der Konfiguration der Polysiliziumgate-Feldplatte G erhöht.

Drain- und Sourceelektrodenanschlüsse können in Form paralleler abwechselnder Streifen ausgeführt sein.

Unter normalen Betriebsbedingungen, bei denen die Spannung am äußeren Sourceanschluss S' höher ist als die Spannung am äußeren Drainanschluss D' wird ein zusätzlich integrierter Schalttransistor M2 zwischen dem jeweiligen Bulkknotten B und der jeweils benachbarten Sourceelektrodenzone S durch eine Gateelektrode G_{SB} dieses zusätzlichen Schalttransistors M2 zugeführte geeignete Spannung eingeschaltet. In Fig. 1 ist dieser zusätzliche Schalttransistor M2 in die PMOS-Leistungstransistorstruktur integriert, indem neben dem Bulkknotten B eine p-Zone eindiffundiert ist, die mit dem Bulkknotten B verbunden ist. Diese zusätzliche P-Zone liegt der benachbarten Sourceelektrodenzone S gegenüber. Der Gatetreiber DR für den zusätzlichen Transistor M2 muss am Gateanschluss G_{SB} dieses Transistors M2 eine Spannung zur Verfügung stellen können, die etwa 5 V kleiner ist als die Bulkspannung am Bulkknotten B. Die Spannung zwischen dem Gate G_{SB} des Transistors M2 und dem Bulkknotten B kann durch eine geeignete Zenerdiode ZD oder jede andere Spannungsklemmvorrichtung geklemmt werden. Diese Zenerdiode ZD wird benötigt, um ein Durchbrechen des Gateoxids des zusätzlichen Transistors M2 durch eine Überspannung zu vermeiden. Die Zenerdiode ZD ist in Fig. 2 dargestellt, jedoch nicht im Querschnitt in Fig. 1.

Im Falle der Potentialumkehr, wenn die Spannung an dem Sourceanschluss S' kleiner ist als die Spannung am Drainanschluss D' , wird die Spannung am Anschluss B' und damit am Bulkknotten B größer als am Sourceanschluss S' . Dann schaltet der zusätzliche PMOS-Transistor M2 aus. Die Durchbruchspannung des PMOS-Transistors M2 ist größer als die Spannung am Bulkknotten B. Das Ausschalten des zusätzlichen PMOS-Transistors M2 kann durch einen Widerstand R zwischen dem Gateanschluss G_{SB} des zusätzlichen Transistors M2 und dem Bulkanschluss B' realisiert werden. Der Widerstand R ist nicht in Fig. 1, aber in Fig. 2 dargestellt. Jede andere Treiberkonfiguration für den Gateanschluss G_{SB} des zusätzlichen PMOS-Transistors M2, die

die obige Funktion erfüllt, kann statt dessen eingesetzt werden.

Gemäß den Fig. 1 und 2 weist der erfindungsgemäße laterale MOS-Leistungstransistor 1 als parasitäre Elemente eine Substratdiode D_{sub} zwischen dem p-Substrat 10 und der vergrabenen n^+ -Schicht 12, eine Sourcediode D_s zwischen der Sourceelektrodenzone S und der vergrabenen n^+ -Schicht 12, eine Draindiode D_d zwischen der Drainelektrodenzone D und der vergrabenen n^+ -Schicht 12 (die Sourcediode D_s und die Draindiode D_d liegen jeweils antiparallel zur Substratdiode D_{sub}), einen parasitären PNP-Transistor jeweils zwischen p-Substrat und Drainelektrodenzone und p-Substrat und Sourceelektrodenzone (nur in Fig. 2 eingezeichnet), einen parallel zum zusätzlichen PMOS-Transistor M2 liegenden PNP-Transistor sowie eine parasitäre Diode D_{sb} zwischen Sourceelektrodenzone S und Bulkknotten B (den tiefen Sinkern 13) auf. Die oben erwähnten parasitären Elemente behindern jedoch nicht die gewünschte Sperrfunktion des erfindungsgemäßen PMOS-Leistungstransistors 1 gegen Rückströme bei umgekehrter Polarität an seinem Ausgang.

Das oben beschriebene und in den Fig. 1 und 2 dargestellte Ausführungsbeispiel 1 eines erfindungsgemäßen PMOS-Leistungstransistors M1 weist zusammengefasst folgende Merkmale auf:

- er ist ein lateraler PMOS-Transistor, bei dem der Bulkknotten B von den Sourceelektrodenzonen getrennt ist;
- die Durchbruchspannung zwischen Bulkknotten B und Sourceelektrodenzone S ist durch den tiefen gestaffelten P/N-Übergang und die geeignete Wahl der Konfiguration der Polysiliziumgatefeldplatte erhöht;
- der zusätzliche Source-Bulk-Schalttransistor M2 ist in die laterale PMOS-Transistorstruktur 1 integriert;
- der PMOS-Leistungstransistor M1 weist keine in Umkehrrichtung leitende parasitäre Bodydiode auf, sondern statt des-

sen eine erhöhte Durchbruchsspannungsfestigkeit bei Potentialumkehr am Ausgang;

- die beschriebene Struktur des PMOS-Leistungstransistors M1 bietet eine platzsparende Lösung zur Vermeidung von Rückstrom bei Potentialumkehr in High-Side-Schalter- oder -Reglerkonfigurationen und ist deshalb besonders für derartige High-Side-Anwendungen in Fahrzeugen geeignet.

In den Fig. 3 und 4 ist jeweils im Querschnitt und als Ersatzschaltbild ein allgemein mit der Ziffer 2 bezeichnetes erstes Ausführungsbeispiel eines erfindungsgemäßen N-DMOS-Leistungstransistors mit seinen parasitären Elementen dargestellt.

Auch hier ist der Bulkknuten B von der Sourceelektrodenzone S getrennt integriert, jedoch durch einen zusätzlichen Widerstand R äußerlich verbunden, dessen Funktion und Realisierung weiter unten beschrieben. Der in Fig. 3 im Querschnitt dargestellte N-DMOS-Leistungstransistor 2 (DMOS = Double Diffused Metal Oxide Semiconductor) ist in einer Doppelwannenstruktur realisiert. Diese Doppelwannenstruktur besteht aus einer ersten Wanne, bestehend aus einer vergrabenen n^+ -Lage 12 und einem peripheren n^+ -Sinkern 13 sowie aus einer zweiten innerhalb der ersten Wanne 12, 13 gebildeten p-Wanne, die aus einer vergrabenen p-Schicht 14 und einem diese peripher umgebenden p-Ring 15 besteht. Bei der p-Wanne können die p-Diffusionen jeweils dieselben sein, wie sie für die obere und untere p-Isolationszone des p-Substrats 10 vorgesehen sind. Die vergrabene p-Schicht 14 ist mit dem Bulkknuten B des Transistors 2 verbunden. Die n-Drainelektrodenzonen D liegen in niedrigen n-Wannen innerhalb einer n-Epi-Schicht 11, während die n-leitenden Sourceelektrodenzonen S in jeweils einer p-Bodyzone liegen, die nach unten bis zur vergrabenen p-Schicht 14 reichen und mit dieser dort verbunden sind. Die n^+ -Wanne 12, 13 ist äußerlich, d.h. außerhalb des Integrationsgebietes des N-MOS-Transistors 2 mit den Sourceelektrodenzonen S verbunden.

Ein Vergleich der Fig. 3 mit der eingangs bezogen auf die Fig. 7 und 8 beschriebenen, dem Stand der Technik zugehörigen N-DMOS-Struktur zeigt, dass der erfindungsgemäße N-DMOS-Transistor eine laterale Struktur hat, da die vergrabene n^+ -Schicht (Fig. 7) als Drainelektrode nicht mehr zur Verfügung steht.

Unter normalen Betriebsbedingungen müssen Sourceelektrode und Bulknoten (Body) miteinander verbunden werden, um

- (a) eine definierte Schwellenspannung festzulegen,
- (b) zusätzlichen Drainstrom durch parasitäre Elemente zu verhindern und
- (c) eine definierte hohe Durchbruchspannung zu erreichen, indem man eine offene Basis des DMOS-Body-NPN-Transistors vermeidet.

Bei der in den Fig. 3 und 4 dargestellten ersten Alternative sind bei dem erfindungsgemäßen N-DMOS-Transistor 2 Sourceelektrode und Bulknoten einfach durch einen zusätzlichen Widerstand R (zum Beispiel durch eine Polysiliziumstrecke) verbunden. Der Wert des Widerstandes R sollte klein genug sein, damit zu hohe Stromspitzen bei Drainspannungsübergängen (dV/dt) vermieden werden. Das Anlegen einer negativen Drainspannung ergibt einen negativen Drainstrom, der durch den zusätzlichen Widerstand R geklemmt wird und dessen Stärke von dem Wert dieses Widerstands R bestimmt ist. Obwohl dies in Fig. 3 nicht dargestellt ist, wird dieser Widerstand normalerweise in Form einer Polysiliziumstrecke integriert. Statt dessen kann er auch extern, zum Beispiel auf einer gedruckten Schaltungsplatte, realisiert sein.

Parasitäre Elemente des N-DMOS-Transistors 2 sind gemäß den Fig. 3 und 4 ein PNP-Transistor QP1 vom Bulknoten B zum P-Substrat 10, ein NPN-Transistor QN2 von der Drainelektrodenzone D zur vergrabenen n^+ -Lage 12 und damit zum Bulknoten B, eine parasitäre Diode D1 zwischen Bulknoten B und Draine-

lektrodenzone D, eine parasitäre Diode D2 zwischen Bulkknoten B und Sourceelektrodenzone S, eine Diode D3 vom Bulkknoten B zur Sourceelektrodenzone S und eine Diode D4 vom P-Substrat 10 zur Sourceelektrodenzone S.

Fig. 5 und 6 zeigen jeweils im Querschnitt eine zweite (alternative) Ausführungsform eines erfindungsgemäßen lateralen N-DMOS-Leistungstransistors 2A. Die N-DMOS-Struktur 2A ist im Wesentlichen gleich ausgeführt, wie die in den Fig. 3 und 4 gezeigte erste Alternative. Die zweite Alternative weist aber gemäß den Fig. 5 und 6 anstatt des den Bulkknoten B mit der Sourceelektrodenzone S verbindenden niederohmigen Widerstandes R einen außerhalb der N-DMOS-Struktur integrierten Niederspannungs-NMOS-Transistor LV-NMOS auf. Body (Bulkknoten) B des N-DMOS-Transistors ist mit der Sourceelektrode/dem Bulkknoten des Niederspannungs-NMOS-Transistors LV-NMOS, die Sourceelektrodenzone des N-DMOS-Transistors mit der Drainelektrode des Niederspannungs-NMOS-Transistors LV-NMOS und beide Gateelektroden miteinander verbunden. Bei normalen Betriebsbedingungen (N-DMOS-Transistor schaltet ein) arbeitet der Niederspannungs-NMOS-Transistor LV-NMOS im dritten Quadranten seiner Ausgangskennlinie. Wenn das Potential an der N-DMOS-Drainelektrode D unter Massepotential sinkt (N-DMOS-Transistor muss bei negativer Drainspannung ausgeschaltet sein), schaltet der Niederspannungs-NMOS-Transistor LV-NMOS aus. In diesem Fall bestimmt sich die Mindestdrainspannung des N-DMOS-Transistors 2A aus der Durchbruchsspannungsfestigkeit zwischen Drain und Source des Niederspannungs-NMOS-Transistors LV-NMOS. In manchen Applikationen liegt die minimale statische Drainspannung des N-DMOS-Transistors 2A bei ungefähr -1 V bis -2 V, so dass sich die Durchbruchspannung zwischen Drain und Source des Niederspannungs-NMOS-Transistors LV-NMOS leicht einstellen lässt. Der Niederspannungs-NMOS-Transistor LV-NMOS kann in der in Fig. 5 gezeigten Weise innerhalb der äußeren Wanne 12, 13, bestehend aus der vergrabenen n⁺-Lage 12 und den tiefen n⁺-Sinkern 13, integ-

riert sein. Statt dessen kann auch eine isolierte n-Wanne für den zusätzlichen Niederspannungs-NMOS-Transistor LV-NMOS und auch eine chipexterne Lösung gewählt werden.

Parallel zu dem Widerstand R des N-DMOS-Transistors 2 gemäß der ersten Alternative und parallel zu dem zusätzlichen Niederspannungs-NMOS-Transistor LV-NMOS der zweiten Alternative liegt gemäß den Fig. 4 und 6 die parasitäre Diode D2. Deren Durchbruchspannung kann technologisch durch die Wahl der richtigen p- und n-Konzentrationen für den Körper (B) und die Sourceelektrodenzone des DMOS-Transistors 2 bzw. 2A und auch durch den passenden lateralen Abstand für die Kontaktimplantationen eingestellt werden. Die Durchbruchspannung der Diode D2 muss niedriger sein als die des Niederspannungs-NMOS-Transistors LV-NMOS, um diesen beim Auftreten von Überspannungsspitzen zu schützen.

Der zuvor anhand der Fig. 3 bis 6 beschriebene erfindungsgemäße N-DMOS-Transistor 2, 2A hat zusammengefasst folgende wesentliche Merkmale:

- er ist als lateraler N-DMOS-Transistor in einer Doppelwan-
nenstruktur implementiert;
- sein Sourceelektrodengebiet ist von seinem Bulkknoden ge-
trennt. Ein zusätzlicher Widerstand R oder ein zusätzlicher
Niederspannungs-NMOS-Transistor LV-NMOS verbinden gemäß der
ersten und zweiten Alternative den Bulkknoden mit der Sour-
ceelektrode. Die Gateelektrode des zusätzlichen Niederspan-
nungs-NMOS-Transistors ist mit der Gateelektrode des
Leistungs-N-DMOS-Transistors 2A verbunden;
- der laterale N-DMOS-Transistor hat keine parasitäre Drain-
P-Substratdiode und keine in Sperrrichtung liegende Bodydi-
ode;
- die Erfindung bietet eine flächensparende Lösung, um zu ho-
he Ströme bei DMOS-Drainspannungen umgekehrter Polarität zu
vermeiden und außerdem eine flächensparende Lösung für die
Source- und Bulkkontakte des N-DMOS-Transistors.

Mit diesen vorteilhaften Merkmalen eignet sich der oben beschriebene erfindungsgemäße N-DMOS-Transistor 2, 2A besonders als Leistungstransistor in Low-Side-Anwendungen in der Fahrzeugelektronik.

Patentansprüche

1. Integrierter MOS-Leistungstransistor (1; 2; 2A), bei dem in einem n-leitenden Halbleitergebiet (11), welches in einem p-leitenden Substratbereich (10) angeordnet ist, wenigstens eine Sourceelektrodenzone (S) eines ersten Leitungstyps, wenigstens eine Drainelektrodenzone (D) des ersten Leitungstyps, wenigstens eine Gateelektrodenzone (G) eines zweiten Leitungstyps und wenigstens ein hoch dotierter Bulkknöt (B) des zweiten Leitungstyps in lateraler Richtung so gebildet sind, dass jede Gateelektrodenzone (G) zwischen je einer Sourceelektrodenzone (S) und einer benachbarten Drainelektrodenzone (D) bzw. einem benachbarten Bulkknöt (B) liegt, d a d u r c h g e k e n n z e i c h n e t , dass jeder Bulkknöt (B) getrennt von dem oder den Sourceelektrodenzone(n) (S) angeordnet ist.

2. MOS-Leistungstransistor nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , dass er ein PMOS-Transistor (M1) ist, bei dem die Elemente (S, D) des ersten Leitungstyps p-leitend und die Elemente (G) des zweiten Leitungstyps n-leitend sind.

3. MOS-Leistungstransistor nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t , dass das n-leitende Halbleiterleitergebiet (11) ein n^- -Epi-Gebiet ist.

4. MOS-Leistungstransistor nach Anspruch 2 oder 3, d a d u r c h g e k e n n z e i c h n e t , dass der n-leitende Bulkknöt (B) in Form eines tiefen n^+ -Sinkers (13) in dem n-Epi-Gebiet (11) an der Peripherie des PMOS-Leistungstransistors (M1) angeordnet und mit einer unter dem n-Epi-Gebiet (11) liegenden vergrabenen n^+ -Lage (12) verbunden ist und mit dieser eine n^- -Wanne bildet, und

dass ein separat vom PMOS-Leistungstransistor (M1) ansteuerbarer PMOS-Source-Bulk-Schalttransistor (M2) jeweils zwischen jedem Bulkknoden (B) und der benachbarten Sourceelektrodenzone (S) in dem n⁺-EPI-Gebiet (11) integriert ist.

5. MOS-Leistungstransistor nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass Einschaltmittel das Steuergate (GSB) des PMOS-Source-Bulkschalttransistors (M2) im Normalbetrieb des PMOS-Leistungstransistors (M1), bei dem dessen Source-Drain-Spannung höher als die Spannung an seinem Bulkknoden (B) ist, mit einer Gatespannung beaufschlagen, die unter der Spannung am Bulkknoden (B) liegt und dass Ausschaltmittel zum Ausschalten des PMOS-Source-Bulkschalttransistors (M2) implementiert sind, die im Umkehrbetrieb des PMOS-Leistungstransistors (M1), wenn dessen Source-Drain-Spannung niedriger ist als die Spannung an seinem Bulkknoden (B), den PMOS-Source-Bulkschalttransistor (M2) ausschalten.

6. MOS-Leistungstransistor nach Anspruch 5, dadurch gekennzeichnet, dass die Durchbruchspannung des PMOS-Source-Bulkschalttransistors (M2) höher gewählt ist als die Source-Drainspannung des PMOS-Leistungstransistors (1).

7. MOS-Leistungstransistor nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass die Einschalt- und Ausschaltmittel für den PMOS-Source-Bulkschalttransistor (M2) innerhalb oder außerhalb des n⁻-Epi-Gebiets des PMOS-Leistungstransistors (1) liegen.

8. Verwendung des MOS-Leistungstransistor (1) nach einem der Ansprüche 1 bis 7 als High-Side-Schalter in der Fahrzeugelektronik.

9. MOS-Leistungstransistor nach Anspruch 1, dadurch gekennzeichnet, dass er ein N-DMOS-Transistor (2, 2A) ist, dessen Elemente (S, D) des ersten Leitungstyps n-leitend und dessen Elemente (G) des zweiten Leitungstyps p-leitend sind.

10. MOS-Leistungstransistor nach Anspruch 9, dadurch gekennzeichnet, dass bei dem N-DMOS-Transistor (2, 2A) das n⁻-leitende Halbleitergebiet ein n⁻-Epi-Gebiet (11) ist und die n-Drainelektrodenzone(n) (D) in jeweils einer n-Wanne innerhalb des n-Epi-Gebiets (11) und die n⁺-Sourceelektrodenzone(n) (S) in jeweils einer p-Bodyzone liegen, wobei das den N-DMOS-Transistor (2; 2A) umfassende n⁻-Epi-Gebiet (11) in einer im p-Substrat (10) gebildeten Doppelwannenstruktur (12 - 15) liegt, die aus einer äußeren n⁺-Wanne (12, 13) und einer inneren p-Wanne (14, 15) besteht, wobei die innere p-Wanne (14, 15) mit der p-Bodyzone und dem oder den p⁺⁺-Bulkknöten (B) in leitender Verbindung steht und wobei die äußere n⁺-Wanne (12, 13) mit den n-Sourceelektrodenzonen (S) verbunden ist.

11. MOS-Leistungstransistor (2) nach Anspruch 10, dadurch gekennzeichnet, dass die n-Sourceelektrodenzone(n) (S) durch einen zusätzlichen niederohmigen Widerstand (R) mit dem oder den p⁺⁺-Bulkknöten (B) und der oder den p-Bodyzone(n) verbunden ist bzw. sind.

12. MOS-Leistungstransistor nach Anspruch 11, dadurch gekennzeichnet, dass der niederohmige Widerstand (R) in dem N-DMOS-Leistungstransistor (2) integriert ist.

13. MOS-Leistungstransistor nach Anspruch 11, dadurch gekennzeichnet,

dass der niederohmige Widerstand (R) chip-extern an den N-DMOS-Leistungstransistor (2) angeschlossen ist.

14. MOS-Leistungstransistor nach Anspruch 10,
d a d u r c h g e k e n n z e i c h n e t ,
dass die n-Sourceelektrodenzone(n) (S) bei normalen Betriebsbedingungen des N-DMOS-Transistors (2A) durch einen außerhalb der inneren Wanne (14, 15) integrierten Niedervolt-NMOS-Transistor (LV-NMOS) mit dem oder den p^{++} -Bulkknoten (B) und der oder den p-Bodyzone(n) verbunden wird bzw. werden.

15. MOS-Leistungstransistor nach Anspruch 14,
d a d u r c h g e k e n n z e i c h n e t ,
dass die n-Source/Bulkzone(n) (S, B) des Niedervolt-NMOS-Transistors (LV-NMOS) mit dem p^{++} -Bulkknoten (B) innerhalb des n^{-} -Epi-Gebiets (11),
die Drainzone des Niedervolt-NMOS-Transistors (LV-NMOS) außerhalb des n^{-} -Epi-Gebiets (11) mit der/den Drainelektrodenzone(n) (D) des N-DMOS-Leistungstransistors (2A), und
die Gateelektrode des Niedervolt-NMOS-Transistors (LV-NMOS) mit der oder den Gateelektrodenzone(n) (G) des N-DMOS-Leistungstransistors (2A) außerhalb des n^{-} -Epi-Gebiets (11) verbunden sind.

16. Verwendung des N-DMOS-Leistungstransistor (2; 2A) nach einem der Ansprüche 10 bis 15 als Low-Side-Schalter in der Fahrzeugelektronik.

Zusammenfassung

MOS-Leistungstransistor

Die Erfindung betrifft integrierte MOS-Leistungstransistoren, insbesondere einen lateralen PMOS-Leistungstransistor (1) und einen lateralen N-DMOS-Leistungstransistor (2; 2A), bei denen der Bulknoten (B) räumlich getrennt von der Sourceelektrodenzone (S) angeordnet ist. Die besondere Integrationsstruktur dieses MOS-Leistungstransistors vermeidet zum einen eine parasitäre Drain-Bulkdiode, eine parasitäre Bodydiode und eine Substratdiode und erreicht dadurch einen flächensparenden Schutz gegen Überströme bei umgekehrter Spannungspolarität zwischen Drain und Source.

(Fig. 1)

Bezugszeichenliste

1, 2, 2A	MOS-Leistungstransistoren
10	P-Substrat
11	n ⁻ -Epi-Schicht
12	vergrabene n ⁺ -Schicht
13	tiefer n ⁺ -Sink
14	vergrabene p-Schicht
15	p-Ring
D, D'	Drainelektrode, Drainanschluss
G, G'	Gate, Gateanschluss
B, B'	Bulknoten, Bulkanschluss
S, S'	Sourceelektrodenzone, Sourceanschluss
GSB	Gate-Source-Bulkanschluss
M1	lateraler PMOS-Transistor
M2	zusätzlicher PMOS-Schalttransistor
D _d , D _s , D _{sb} , D _{sub} , D1, D2, D3, D4	parasitäre Dioden
QP1, QN2	parasitäre Transistoren
Substrat PNP1, PNP2, PNP3	parasitäre Substrat- Transistoren
R	zusätzlicher Widerstand
S/B	gemeinsamer Knoten für Source/Bulk
100	Versorgungsspannungsquelle
101	Gleichrichterdiode
102	Speicherkondensator
103	High-Side-Schalt- oder Regeleinrichtung
104	Last
105	Sperrdiode
I _{rück}	Rückstrom

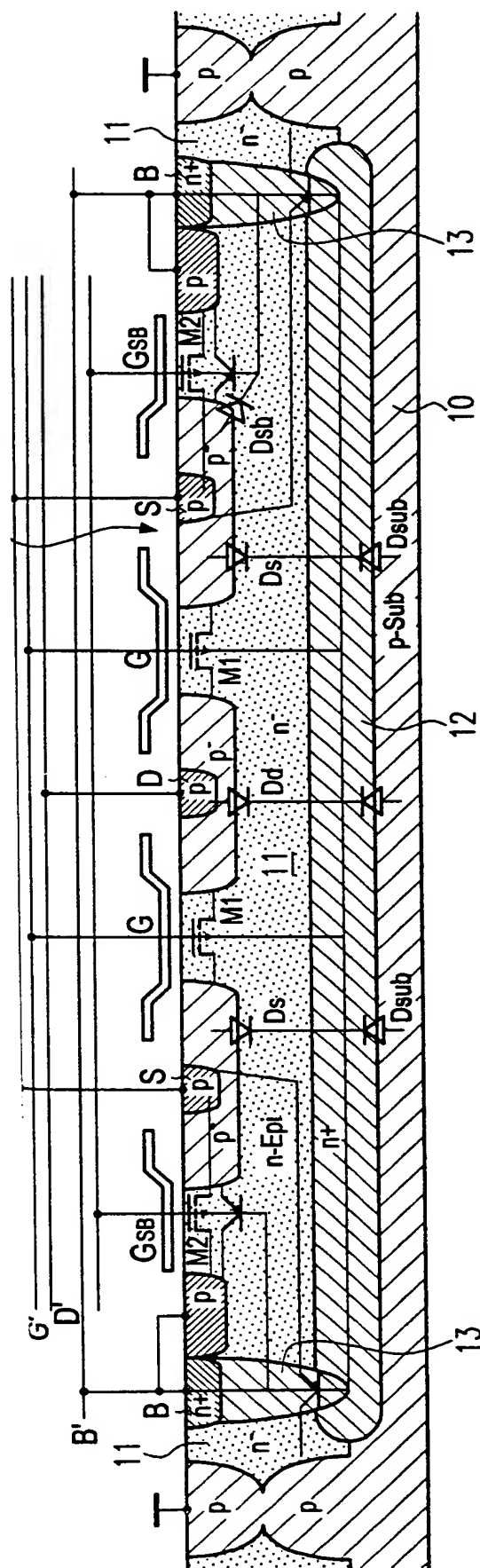


FIG. 1

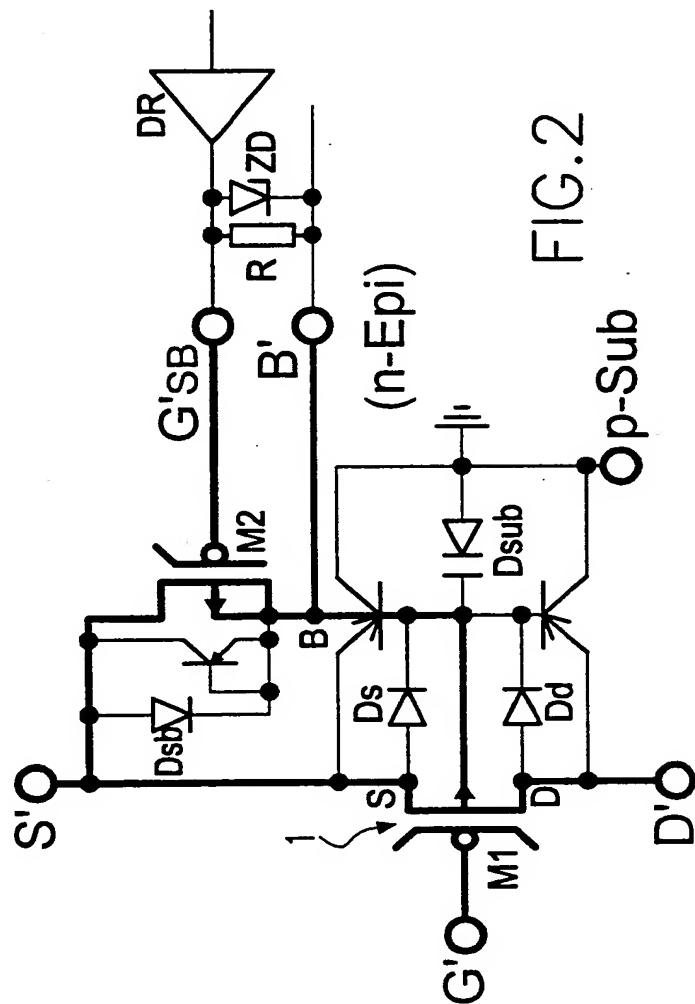


FIG. 2

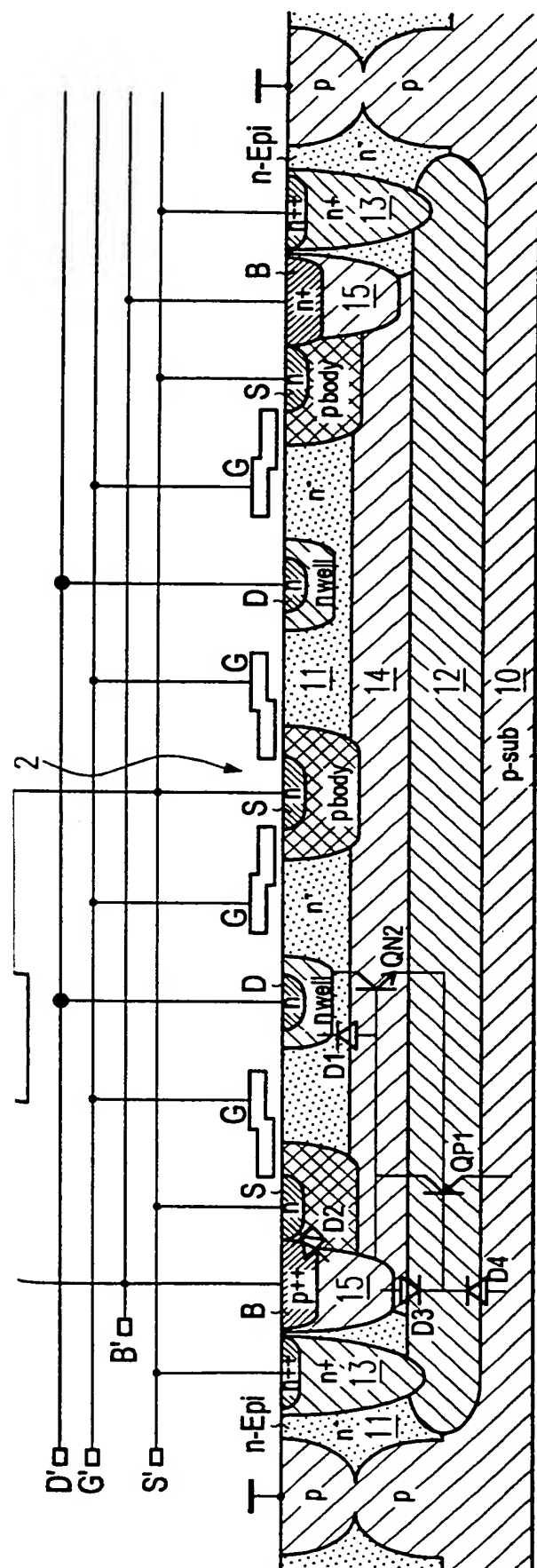


FIG. 3

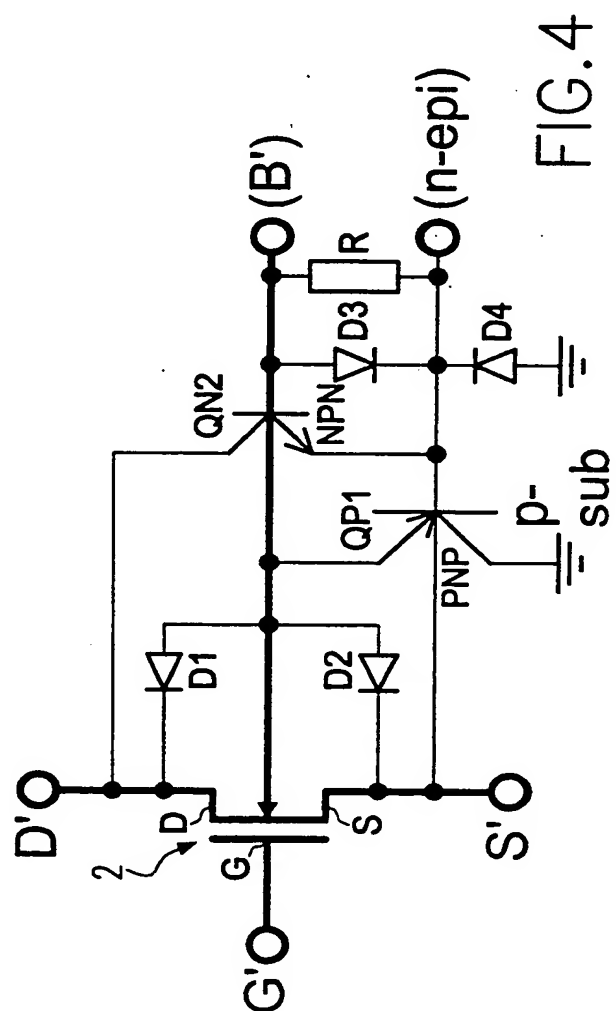


FIG. 4

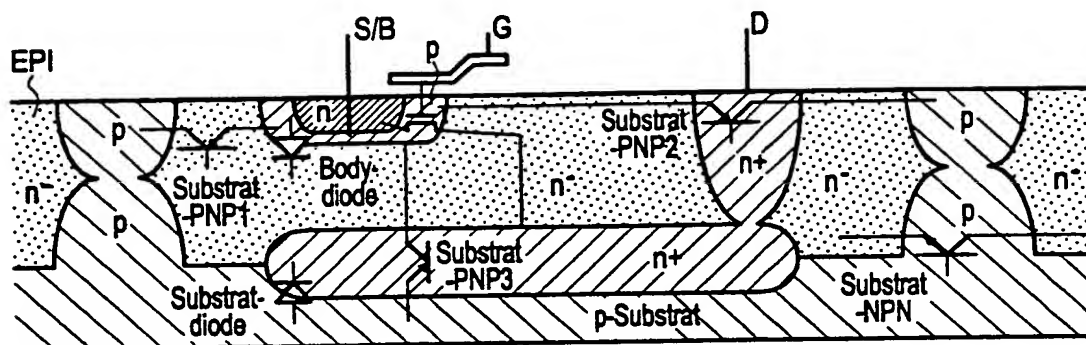


FIG.7

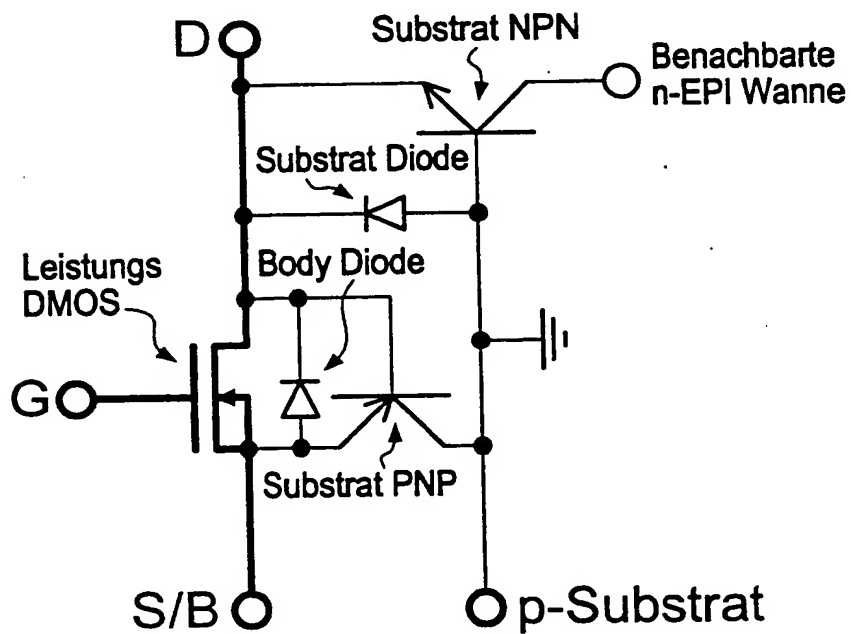


FIG.8

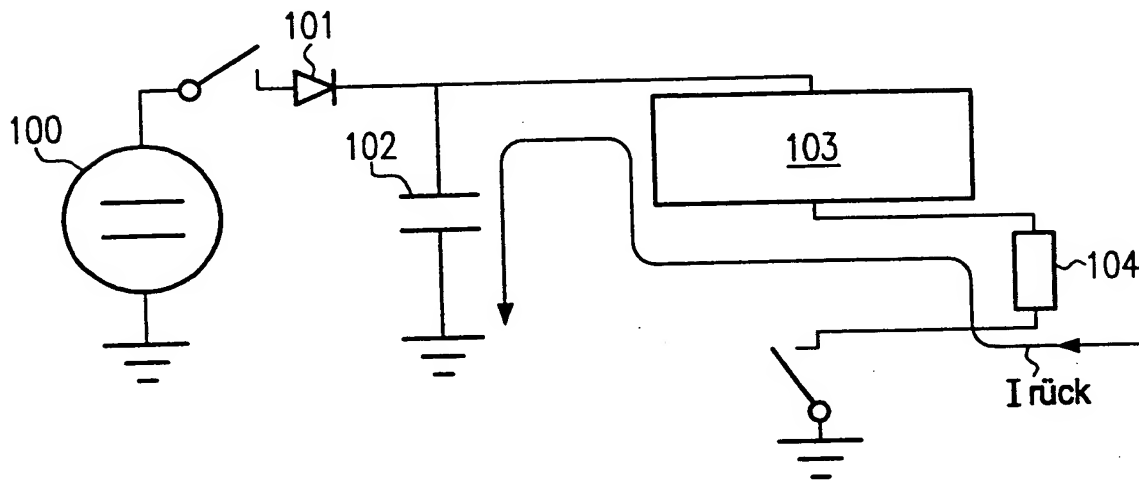


FIG. 9

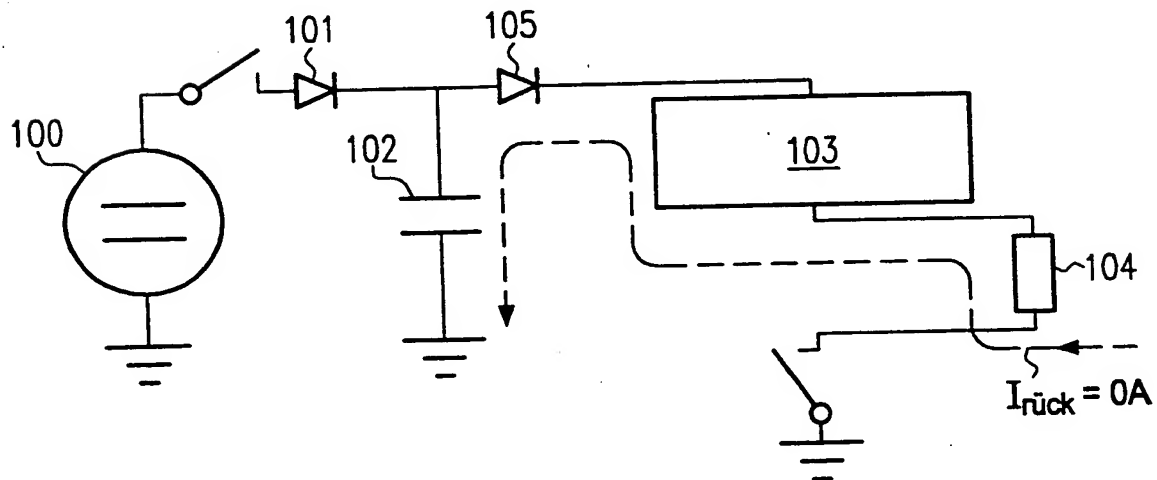


FIG. 10

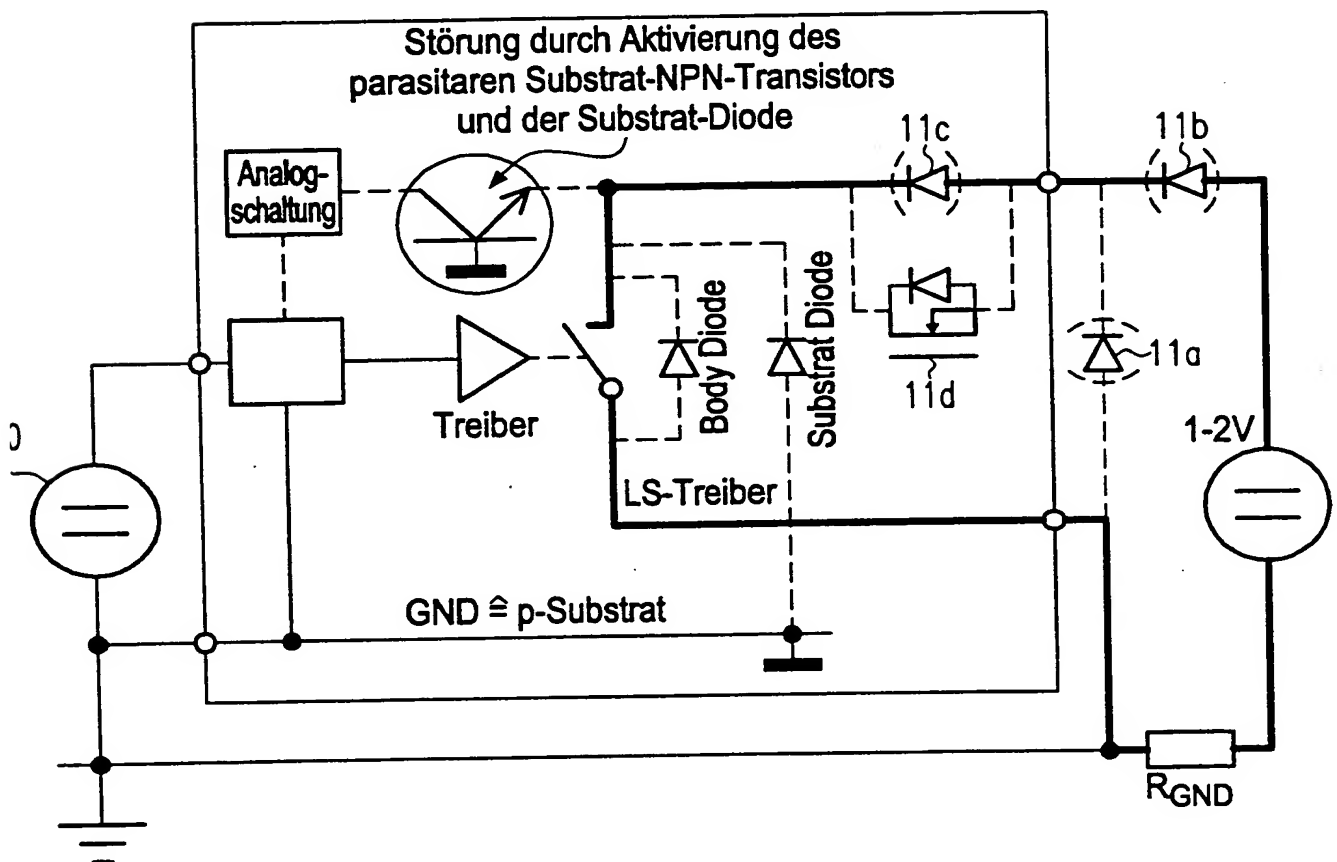


FIG.11

[illegible]

Fig. 1

Applic. # _____

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101